

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-035858

(43)Date of publication of application : 09.02.2001

(51)Int.Cl.

H01L 21/331

H01L 29/73

H01L 29/165

(21)Application number : 11-206182

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 21.07.1999

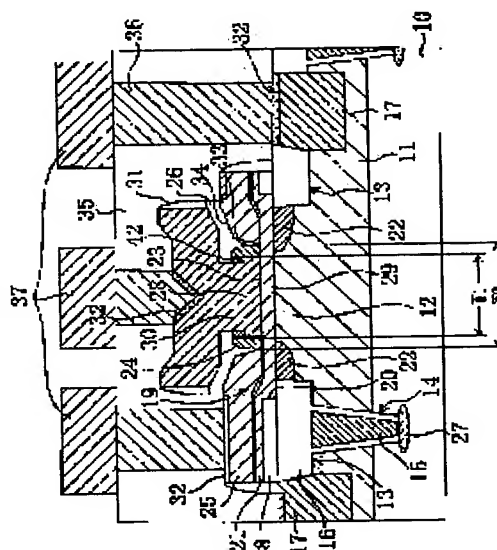
(72)Inventor : YUKI KOICHIRO

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a bipolar transistor, which is low in a base resistance and can be actuated at a high speed, and the manufacturing method of the bipolar transistor.

SOLUTION: A collector layer 12 is formed on a region on the vicinity of the surface of an Si substrate 10 and an Si_{1-x}Gex/Si layer 21 is formed on the layer 12. A polysilicon emitter layer 30 is provided on the central part of the layer 21 and a third insulating layer 42, a first sidewall 24, a P⁺ regrowth Si layer 25 and a fourth insulating layer 26 are provided in such a way as to encircle the layer 30. An internal base 29 and an external base 19 are formed in a self alignment and the distance (W₂-W₁)/2 between an emitter-base junction part and the base 19 is set so as to coincide with the thickness of the sidewall 24. As there is no need to anticipate a margin, a base resistance can be reduced and at the same time, the parasitic capacitance between electrodes can be also reduced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2001-35858

(P2001-35858A)

(43)公開日 平成13年2月9日(2001.2.9)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード*(参考)
H 0 1 L 21/331		H 0 1 L 29/72	5 F 0 0 3
29/73		29/165	
29/165			

審査請求 未請求 請求項の数11 O L (全 19 頁)

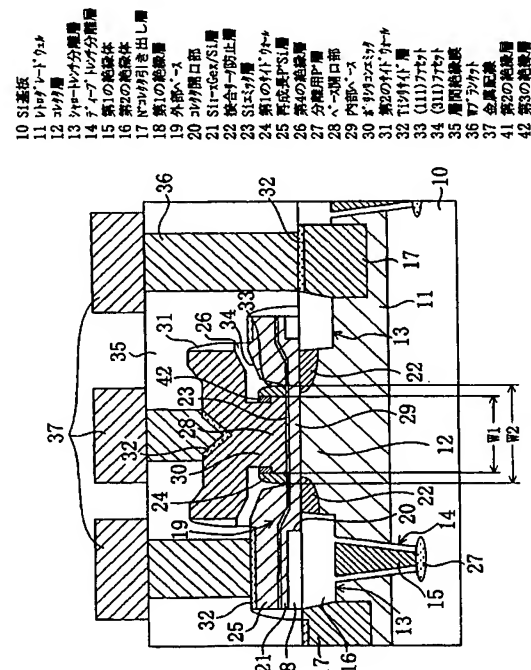
(21)出願番号	特願平11-206182	(71)出願人	000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(22)出願日	平成11年7月21日(1999.7.21)	(72)発明者	幸 康一郎 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
		(74)代理人	100077931 弁理士 前田 弘 (外1名)
		Fターム(参考)	5F003 AP05 AZ01 BA25 BA27 BA93 BA96 BB01 BB06 BB07 BB08 BE07 BE08 BE90 BF06 BG06 BH07 BH99 BM01 BP06 BP11 BP33 BP34 BP93 BP94 BP96 BS04 BS05 BS08

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 ベース抵抗の小さい高速動作が可能なバイポーラトランジスタ及びその製造方法を提供する。

【解決手段】 Si基板10の表面付近の領域にはコレクタ層12が形成され、コレクタ層12の上にはSi_{1-x}Gex/Si層21が形成されている。Si_{1-x}Gex/Si層21の中央部の上には、ポリシリコンエミッタ層30が設けられ、ポリシリコンエミッタ層30を取り囲むように、第3の絶縁層42と、第1のサイドウォール24と、再成長P⁺Si層25と、第4の絶縁層26とが設けられている。内部ベース29と外部ベース19とがセルフアラインに形成され、エミッタ・ベース接合部と外部ベース19との間の距離(W2-W1)/2が第1のサイドウォール24の厚みに一致している。マージンを見込む必要がないので、ベース抵抗を低減できると共に、電極間の寄生容量をも低減できる。



【特許請求の範囲】

【請求項 1】 バイポーラトランジスタのコレクタとして機能する第 1 の半導体層を有する基板と、

上記基板の第 1 の半導体層の上に設けられ、バイポーラトランジスタのベースとして機能する第 2 の半導体層と、

上記第 2 の半導体層の上に設けられ、バイポーラトランジスタのエミッタとして機能する第 3 の半導体層と、

上記第 3 の半導体層の上に設けられ、バイポーラトランジスタのエミッタ電極として機能するエミッタ導体層と、

上記第 3 の半導体層の上において上記エミッタ導体層の側面に接して設けられ、内側面が垂直方向に延び外側面が曲線状に延びて、エミッタ・ベース接合部の横方向の寸法を規定するための絶縁体サイドウォールと、

上記第 3 の半導体層の上において上記絶縁体サイドウォールの外側に設けられ、バイポーラトランジスタの外部ベースとして機能するベース導体層と、

上記絶縁体サイドウォールにつながって設けられ、上記エミッタ導体層とベース導体層とを絶縁するための絶縁体層とを備えている半導体装置。

【請求項 2】 請求項 1 記載の半導体装置において、上記ベース導体層は、エピタキシャル成長により形成されたシリコンにより構成され、上記ベース導体層の内側の側面には (1 1 1) ファセットが形成されていて、上記絶縁体層は、上記絶縁体サイドウォールと上記ベース導体層との間隙にも介在していることを特徴とする半導体装置。

【請求項 3】 請求項 1 又は 2 記載の半導体装置において、上記基板内における上記第 1 の半導体層の両側に形成され、上記バイポーラトランジスタの外部ベースとして機能する不純物拡散領域をさらに備えていることを特徴とする半導体装置。

【請求項 4】 請求項 1-3 のうちいずれか 1 つに記載の半導体装置において、

上記基板は、Si 基板であり、

上記第 1 の半導体層は Si 層であり、

上記第 2 の半導体層は $\text{Si}_{1-x}\text{y} \text{ Ge}_x \text{ Cy}$ 層 ($1 > x, y \geq 0$) であり、

上記第 3 の半導体層は Si 層であることを特徴とする半導体装置。

【請求項 5】 バイポーラトランジスタのコレクタとなる第 1 の半導体層を有する基板を準備する工程 (a) と、

上記第 1 の半導体層の上に、バイポーラトランジスタのベースとなる第 2 の半導体層を形成する工程 (b) と、

上記第 2 の半導体層の上に、バイポーラトランジスタのエミッタとなる第 3 の半導体層を形成する工程 (c) と、

上記第 3 の半導体層の上に、バイポーラトランジスタのエミッタ・ベース接合部の横方向の寸法に相当する幅を有する接合幅規定用絶縁層を形成する工程 (d) と、

上記接合幅規定用絶縁層の両側面上に、上記接合幅規定用絶縁層とは選択エッチングが可能な絶縁体サイドウォールを形成する工程 (e) と、

上記第 3 の半導体層の上に、バイポーラトランジスタの外部ベースの一部となる第 1 の導体層を形成する工程 (f) と、

上記第 1 の導体層の上に、上記接合幅規定用絶縁層とは選択エッチングが可能な電極間絶縁層を形成する工程 (g) と、

上記電極間絶縁層の一部と上記接合幅規定用絶縁層とを除去することにより、上記絶縁体サイドウォールによって囲まれる開口部を形成する工程 (h) と、

上記開口部内に導体材料を埋め込んで、バイポーラトランジスタのエミッタ電極となる第 2 の導体層を形成する工程 (i) とを備えている半導体装置の製造方法。

【請求項 6】 請求項 5 記載の半導体装置の製造方法において、

上記工程 (f) では、選択エピタキシャル成長により (1 1 1) ファセットを側面に有し不純物がドーピングされたシリコンからなる第 1 の導体層を形成することを特徴とする半導体装置の製造方法。

【請求項 7】 請求項 5 又は 6 記載の半導体装置の製造方法において、

上記工程 (d) では、上記接合幅規定用絶縁層の上に、接合幅規定用絶縁層とは選択エッチングが可能な容量低減用絶縁層を形成し、

上記工程 (e) では、上記接合幅規定用絶縁層と上記容量低減用絶縁層との各側面に上記絶縁体サイドウォールを形成し、

上記工程 (h) では、上記容量低減用絶縁層のうち端部を除く部分を除去した後、上記接合幅規定用絶縁層を除去することを特徴とする半導体装置の製造方法。

【請求項 8】 請求項 5-7 のうちいずれか 1 つに記載の半導体装置の製造方法において、

上記接合幅規定用絶縁層を除去する工程は、ウェットエッチングにより行なわれることを特徴とする半導体装置の製造方法。

【請求項 9】 請求項 5-8 のうちいずれか 1 つに記載の半導体装置の製造方法において、

基板上に半導体装置形成領域を取り囲む素子分離層を形成する工程と、

少なくとも上記工程 (d) の後で上記工程 (f) の前に、上記第 1 の半導体層内にイオン注入法により不純物を導入して、素子間分離の端に接合リーク防止層を形成する工程とをさらに備えていることを特徴とする半導体装置の製造方法。

【請求項 10】 請求項 5-9 のうちいずれか 1 つに記

載の半導体装置の製造方法において、

上記工程(a)では、上記基板として、Si層からなる第1の半導体層を有するSi基板を準備し、

上記工程(b)では、 $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ ($1 > x, y \geq 0$) からなる上記第2の半導体層を形成し、

上記工程(c)では、Si層からなる第3の半導体層を形成することを特徴とする半導体装置の製造方法。

【請求項11】 請求項10記載の半導体装置の製造方法において、

上記工程(d)では、シリコン酸化膜から上記接合幅規定用絶縁層を形成し、

上記工程(e)では、シリコン窒化膜から上記絶縁体サイドウォールを形成し、

上記工程(g)では、シリコン窒化膜から上記電極間絶縁層を形成し、

上記工程(h)では、異方性ドライエッチングにより上記電極間絶縁層の一部を除去した後、フッ酸によるウェットエッチングにより上記接合幅規定用絶縁層を除去することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に関し、特にヘテロバイポーラトランジスタの製造方法に関するものである。

【0002】

【従来の技術】近年、シリコン基板上に形成されるバイポーラトランジスタのエミッタ・ベース間、ベース・コレクタ間の接合をヘテロ接合とすることにより、優れた電気伝導特性を持たせて、より高周波領域の動作を実現しようとするヘテロバイポーラトランジスタ(HBT)の開発が急ピッチで進められている。これまで、化合物半導体でしか実現できなかった周波数領域で動作する素子をシリコンプロセスと親和性のよい材料で形成できれば、集積度の向上やコストの低減を図りうるという大きなメリットがある。特に、ヘテロバイポーラトランジスタをMOSトランジスタと同じシリコン基板上に形成して集積化することにより、高性能のBi-CMOS・LSIを構成することができ、通信関係機器に用いるシステムLSIとして有望である。これまでに、Si/Si_{1-x}Ge_xやSi/SiC等のヘテロ構造を用いたHBTが提案・試作されている。なかでも、エミッタ層及びコレクタ層はSiにより構成するとともに、ベース層をSiGe層により構成したSi/Si_{1-x}Ge_x系HBTは、SiとGeの全率固溶の性質と歪みの効果を用いてバンドギャップを連続的に変えることができるなどの点で有望とみられており、研究が多く行われている。以下、図4及び図5A-図5Hを参照しながら、従来のHBTの製造方法について説明する。

【0003】図4は、従来の技術により形成されたNPN型バイポーラトランジスタであるHBTの断面図であ

る。主面が(001)面であるSi基板100内には、エピタキシャル成長法あるいはイオン注入法によって形成されたリンなどのN型不純物を含む深さ1μmのレトログレードウェル101が形成されている。Si基板100の表面付近の領域にはバイポーラトランジスタのコレクタ層102が形成されており、このコレクタ層102におけるN型不純物の濃度は $1 \times 10^{17} / \text{cm}^3$ 程度に調整されている。素子分離領域は、第1の絶縁体105(ノンドープポリシリコン)及び第2の絶縁体106(シリコン酸化膜)を埋め込んでなるディープトレンチ分離層104と、第2の絶縁体106を埋め込んでなるシャロートレンチ分離層103とにより構成されている。シャロートレンチ分離層103の深さは約0.35μmであり、ディープトレンチ分離層104の深さは約2μmである。また、Si基板100のディープトレンチ分離層104の下方に位置する領域には、チャネルストップ用の不純物がドープされてなるP⁺分離層109が設けられている。

【0004】また、Si基板100内にはコレクタ層102の電極を取るためのN⁺コレクタ引き出し層107が設けられている。このN⁺コレクタ引き出し層107とコレクタ層102とは、Si基板100内の表面付近の領域においてはシャロートレンチ分離層103により互いに分離され、Si基板100の奥方の領域においてはレトログレードウェル101により互いに接続されている。

【0005】コレクタ層102の上には、厚さが約30nmのCVD酸化膜からなる第1の絶縁層108が形成されており、第1の絶縁層108には、コレクタ層102の上方を開放するためのコレクタ開口部110が設けられている。そして、コレクタ層102における第1の絶縁層108の開口内の領域の上と第1の絶縁層108の上とにまたがって、P型にドープされた厚さ約60nmのSi_{1-x}Ge_x層と、厚さ10nmのSi層とが連続して積層されており、この両者によりSi/Si_{1-x}Ge_x層111が形成されている。そして、Si層の上には、二重リング状に形成されたエッチストップ用のCVD酸化膜からなる第2の絶縁層112が形成されている。また、Si/Si_{1-x}Ge_x層111のうち、二重リング状の第2の絶縁層112の内側開口部であるベース開口部118内に位置する領域の上には、リン(P)などのP型不純物を高濃度を含む厚み約250nmのN⁺ポリシリコン層129が形成されており、このN⁺ポリシリコン層129によりポリシリコンエミッタ層122が構成されている。また、Si_{1-x}Ge_x/Si層111のうち、二重リング状の第2の絶縁層112の外側開口部であるベース接合用開口部に位置する領域の上には、ボロン(B)などの不純物を高濃度で含む厚さ約150nmのP⁺ポリシリコン層115が設けられている。

【0006】そして、 $\text{Si}_{1-x}\text{Ge}_x$ 層のうち内側のリングの外縁よりも内方に相当する部分が内部ベース119となり、 $\text{Si}/\text{Si}_{1-x}\text{Ge}_x$ 層111のうち内側のリングの外縁よりも外方に相当する部分が外部ベース116となっている。また、 P^+ ポリシリコン層115も外部ベース116の一部となっている。また、 $\text{Si}_{1-x}\text{Ge}_x/\text{Si}$ 層111中の Si 層のうち、内部ベース119の直上に位置する部分が Si エミッタ層113となっている。内部ベース119のうちコレクタ層102との間でPN接合を形成する実質的なベース部分の幅 $W1$ (ベース開口幅) は、第2の絶縁層112のベース開口部118によって規定されている。また、 $\text{Si}_{1-x}\text{Ge}_x/\text{Si}$ 層111のうちの $\text{Si}_{1-x}\text{Ge}_x$ 層内には、ボロン(B)などのP型不純物が約 $2 \times 10^{18}/\text{cm}^3$ 濃度でドーピングされている。 $\text{Si}_{1-x}\text{Ge}_x/\text{Si}$ 層111のうちの Si 層内には、ポリシリコンエミッタ層122から拡散されたリン(P)等のN型不純物が、基板の深さ方向に約 1×10^{20} から約 $1 \times 10^{17}/\text{cm}^3$ までの分布をもってドーピングされている。ここで、 $\text{Si}_{1-x}\text{Ge}_x/\text{Si}$ 層111において、 $\text{Si}_{1-x}\text{Ge}_x$ 層と連続的に Si 層を形成しているのは、上方のポリシリコンエミッタ層122との界面をP/N接合部から遠ざけ、界面準位や欠陥によるキャリアの再結合を防止するためである。

【0007】また、 P^+ ポリシリコン層115のベース開口部118の内側面には、CVD酸化膜からなる第4の絶縁層120とサイドウォール121とが形成されており、この第4の絶縁層120とサイドウォール121とにより、外部ベース116の一部である P^+ ポリシリコン層115とポリシリコンエミッタ層122とが互いに電気的に絶縁されるとともに両者間における不純物の拡散が遮断されている。

【0008】以上のように、ベース開口幅 $W1$ は、第2の絶縁層112の内側リングの開口寸法である。また、外部ベース116のうち内部ベース119に接する境界部分の寸法である外部ベース間距離 $W2$ は、第2の絶縁層112の内側リングの外縁寸法によって規定される。外部ベース間距離 $W2$ がベース開口幅 $W1$ に比べてあまりに大きいと、ベース抵抗や寄生容量が大きくなるという不具合を招くので、外部ベース間距離 $W2$ はできるだけ小さく1個とが好ましい。第4の絶縁層120、サイドウォール121の膜厚は、それぞれ30nm、100nmであり、ベース開口部118の幅 $W1$ は第4の絶縁層120とサイドウォール121の厚さの分だけ小さくなっている。

【0009】外部ベース116の一部である P^+ ポリシリコン層115の上面は、厚さ約30nmのCVD酸化膜からなる第3の絶縁層117によって覆われており、この第3の絶縁層117によってエミッタ層122と外部ベース116とが絶縁されている。さらに、ポリシリ

コンエミッタ層122、外部ベース116の外側面は、それぞれサイドウォール123により覆われている。また、ポリシリコンエミッタ層122、 P^+ ポリシリコン層115及び N^+ コレクタ引き出し層107の上には、 Ti シリサイド層124が形成されており、この Ti シリサイド層124によってコンタクトの低抵抗化が図られている。

【0010】そして、トランジスタ全体は層間絶縁膜125によって覆われており、層間絶縁膜125には、 N^+ コレクタ引き出し層107、外部ベース116及びポリシリコンエミッタ層122上の各 Ti シリサイド層124に達する接続孔がそれぞれ形成されており、各接続孔に W が埋め込まれて W ブランケット126が形成されている。さらに、層間絶縁膜125の上には、 W ブランケット126に接続される金属配線127が形成されている。

【0011】このような構造により、外部ベース116が $\text{Si}_{1-x}\text{Ge}_x/\text{Si}$ 層111だけでなく P^+ ポリシリコン層115をも含んで構成されているので、ベース抵抗を小さくでき、高速動作トランジスタに適したHBTの構造が得られる。

【0012】次に、図4に示されるHBTの構造を実現するための従来の製造方法について説明する、図5A-図5Dは、図4に示されるHBTの構造を実現するための従来の製造工程を示す断面図である。

【0013】まず、図5Aに示す工程で、主面が(001)面である Si 基板100上にエピタキシャル成長法によりN型シリコン単結晶を形成するか、あるいは Si 基板100内にN形不純物イオンを高エネルギーで注入することにより、 Si 基板100に深さ約 $1\mu\text{m}$ のN型のレトログレードウェル101を形成する。レトログレードウェル101の表面付近の領域はHBTのコレクタ層102となるので、この領域におけるN型の不純物濃度は $1 \times 10^{17}/\text{cm}^3$ 程度に調整されている。次に、 Si 基板100にシャロートレンチ、ディープトレンチを形成した後、それらを第1の絶縁体105、第2の絶縁体106によって埋め込むことにより、シャロートレンチ分離層103、ディープトレンチ分離層104を形成する。

【0014】次に、 Si 基板100の2つのシャロートレンチ103によって囲まれる領域に、N型の不純物イオンを高ドーズ量で注入して、 Si 基板100の表面からレトログレードウェル101に達する N^+ コレクタ引き出し層107を形成する。

【0015】次に、図5Bに示す工程で、テトラエトキシシラン(TEOS)と酸素を用いた化学気相成長法(CVD法)を用い、処理温度680℃で基板の上に厚さ約30nmの第1の絶縁層108を形成し、第1の絶縁層108をフッ酸等のウェットエッチングによりパターニングして、コレクタ開口部110を形成する。次

に、コレクタ開口部110内に露出したSi基板100の表面をアンモニア水と過酸化水素水とを混合した薬液で処理することによって厚さ約1nmの保護酸化膜を形成した状態で、基板全体をUHV-CVD (Ultra High Vacuum Chemical Vapor Deposition) 装置に装着する。その後、UHV-CVD装置内において、水素雰囲気中で熱処理を行うことにより、基板上の保護酸化膜を除去する。次に、基板を550℃に加熱しつつ、ジシラン (Si_2H_6) 及びゲルマン (GeH_4) にドーピング用のジボラン (B_2H_6) を含むガスをUHV-CVD装置内に導入して、基板上に厚さ約60nmの $\text{Si}_{1-x}\text{Ge}_x$ 層を形成する。このとき、 $\text{Si}_{1-x}\text{Ge}_x$ 層のうちコレクタ開口部110内の部分、つまりSi基板100に直接接する部分は単結晶により構成されるが、 $\text{Si}_{1-x}\text{Ge}_x$ 層のうち第1の絶縁層108の上の部分は多結晶により構成されている。さらに、 $\text{Si}_{1-x}\text{Ge}_x$ 層を形成した後、連続してガスをジシランに切り替えることにより、 $\text{Si}_{1-x}\text{Ge}_x$ 層の上に厚さ約10nmのSi層を積層し、 $\text{Si}_{1-x}\text{Ge}_x$ 層及びSi層の積層膜である $\text{Si}_{1-x}\text{Ge}_x/\text{Si}$ 層111を形成する。このとき、Si層のうち単結晶の $\text{Si}_{1-x}\text{Ge}_x$ の上に形成される部分は単結晶により構成されるが、多結晶の $\text{Si}_{1-x}\text{Ge}_x$ 層の上に形成される部分は多結晶により構成されている。なお、 $\text{Si}_{1-x}\text{Ge}_x$ 層内にはエピタキシャル成長時にボロン(B)が導入されているので、 $\text{Si}_{1-x}\text{Ge}_x$ 層はP型になっており、ボロンの濃度は約 $2 \times 10^{18} / \text{cm}^3$ である。Si層には不純物が導入されていない。

【0016】次に、図5Cに示す工程で、基板の全面上にエッチストップとなる膜厚30nmの第2の絶縁層112を形成した後、フォトリソグラフィ及びドライエッチングにより、第2の絶縁層112を、ベース接合用開口部114の外方の部分である外側リングと、ベース接合用開口部114の内側の部分である島部とを有する形状にパターンニングする。このとき、 $\text{Si}_{1-x}\text{Ge}_x/\text{Si}$ 層111の島部の径に相当する横方向の寸法が外部ベース間距離W2である。なお、シャロートレンチ分離層103の端部におけるストレスに起因する接合リークの影響を除去する目的で、コレクタ開口部110がシャロートレンチ分離層103を含まずに活性領域上のみに形成されている。

【0017】次に、図5Dに示す工程で、CVD法により、 $1 \times 10^{20} / \text{cm}^3$ 以上の高濃度のP型不純物が導入された膜厚150nmのP⁺ポリシリコン層115を堆積し、続いてP⁺ポリシリコン層115の上に、厚さが約100nmの第3の絶縁層117を堆積する。次に、フォトリソグラフィ及びドライエッチングを行なって、第3の絶縁層117及びP⁺ポリシリコン層115を貫通して、第2の絶縁層112の島部に達するベース開口部118を形成する。一般的な工程では、このと

きに第3の絶縁層117及びP⁺ポリシリコン層115の外形も形成しておく。ここで、P⁺ポリシリコン層115のうち図5D中の左側の部分は、後にコンタクトを取るために右側の部分よりも広く設けられている。

【0018】次に、図5Eに示す工程で、基板の全面上に膜厚30nmの第4の絶縁層120とサイドウォール用窒化膜とを堆積した後、第4の絶縁層120及びサイドウォール用窒化膜のドライエッチングを行なって、第3の絶縁層117及びP⁺ポリシリコン層115の側面上にサイドウォール121を形成する。次に、フッ酸等による酸化膜のウェットエッチングを行い、第2の絶縁層112のうちベース開口部118の底面に露出している部分を除去し、 $\text{Si}_{1-x}\text{Ge}_x/\text{Si}$ 層111のうち上部のSi層を露出させる。このとき、酸化膜のエッチングの量によってベース開口幅W1が決まる。第2の絶縁層112の外形寸法である外部ベース間距離W2がベース開口幅W1よりもあまりに大きいとベース抵抗や寄生容量が大きくなり、素子特性に好ましくない影響を及ぼす。

【0019】次に、図5Fに示す工程で、厚さ約250nmのN⁺ポリシリコン膜を堆積した後、N⁺ポリシリコン膜をドライエッチングによってパターンニングすることにより、ポリシリコンエミッタ層122を形成する。

【0020】次に、図5Gに示す工程で、厚さ120nmのサイドウォール用酸化膜を堆積した後ドライエッチングを行い、ポリシリコンエミッタ層122及びP⁺ポリシリコン層115の側面上にサイドウォール123を形成する。このときのドライエッチングによって、ポリシリコンエミッタ層122、外部ベース116及びN⁺コレクタ引き出し層107の表面を露出させる。

【0021】次に、図5Hに示す工程で、基板上に厚さ約40nmのTi膜をスパッタにより堆積した後、675℃、30secのRTAを行なって、Tiとシリコンとを反応させることによりTiシリサイド層を形成する。その後、未反応のTi膜を除去することにより、ポリシリコンエミッタ層122、P⁺ポリシリコン層115(外部ベース層116の一部)及びN⁺コレクタ引き出し層107の上にTiシリサイド層124を形成する。次に、基板上に層間絶縁膜125を堆積し、層間絶縁膜125に、ポリシリコンエミッタ層122、P⁺ポリシリコン層115及びN⁺コレクタ引き出し層107の上の各Tiシリサイド層124に達する接続孔を形成した後、接続孔内にWを埋め込んでWブランクット126とする。さらに、層間絶縁膜125の上に、金属膜を形成した後これをパターンニングして、Wブランクット126に接続される金属配線127を形成する。

【0022】以上のような構成及び工程を用いることにより、N型Siからなるエミッタと、P型 $\text{Si}_{1-x}\text{Ge}_x$ からなるベースと、N型Siからなるコレクタとによって構成されるヘテロバイポーラトランジスタ(HB

T) が形成される。

【0023】

【発明が解決しようとする課題】しかしながら、上記従来の HBT に関する技術においては、以下のような不具合があった。

【0024】従来の技術による HBT では、フォトリソグラフィ及びドライエッチングによって第 2 の絶縁層 112 をパターンニングすることにより外部ベース間距離 W2 を規定した後に、別途フォトリソグラフィ及びドライエッチングを行なってベース開口部幅 W1 を規定する開口を形成しているために、マスクの位置ずれを考慮すると、外部ベース間距離 W2 に対してベース開口幅 W1 の寸法を 0.1 μm 程度以上のマージンを見込んで設定する必要がある。このため、エミッタ・ベース接合部と外部ベース・内部ベース境界部との間の距離 (W2 - W1) / 2 が大きくなり、余分なベース抵抗と寄生容量とが増大することになる。このベース抵抗と寄生容量の増大は、高周波で動作することが求められる HBT においては、大きな不具合となっている。

【0025】本発明の目的は、エミッタ・ベース接合と外部ベース・内部ベース接合とが光学的なアライメント精度の制約を受けずに互いに非常に近い距離に形成され、結果としてベース抵抗と寄生容量の小さな HBT 及びその製造方法を提供することにある。

【0026】

【課題を解決するための手段】本発明の半導体装置は、バイポーラトランジスタのコレクタとして機能する第 1 の半導体層を有する基板と、上記基板の第 1 の半導体層の上に設けられ、バイポーラトランジスタのベースとして機能する第 2 の半導体層と、上記第 2 の半導体層の上に設けられ、バイポーラトランジスタのエミッタとして機能する第 3 の半導体層と、上記第 3 の半導体層の上に設けられ、バイポーラトランジスタのエミッタ電極として機能するエミッタ導体層と、上記第 3 の半導体層の上において上記エミッタ導体層の側面に接して設けられ、内側面が垂直方向に延び外側面が曲線状に延びて、エミッタ・ベース接合部の横方向の寸法を規定するための絶縁体サイドウォールと、上記第 3 の半導体層の上において上記絶縁体サイドウォールの外側に設けられ、バイポーラトランジスタの外部ベースとして機能するベース導体層と、上記絶縁体サイドウォールにつながって設けられ、上記エミッタ導体層とベース導体層とを絶縁するための絶縁層とを備えている。

【0027】これにより、エミッタ・ベース接合部とベース導体層 (外部ベース) との間隔がサイドウォールの厚みで規定されるので、両者のマスクあわせのためのマージンが不要となる。したがって、トランジスタの微細化とベース抵抗の低減とを図ることができる。

【0028】上記半導体装置において、上記ベース導体層が、エピタキシャル成長により形成されたシリコンに

より構成され、上記ベース導体層の内側の側面に (111) ファセットが形成されていて、上記絶縁体層が上記絶縁体サイドウォールと上記ベース導体層との間隙にも介在していることにより、エミッタ導体層とベース導体層が厚い絶縁層によって隔てられるので、寄生容量が小さくなり、トランジスタの動作速度がより向上する。

【0029】上記半導体装置において、上記基板内における上記第 1 の半導体層の両側に形成され、上記バイポーラトランジスタの外部ベースとして機能する不純物拡散領域をさらに備えることにより、ベース抵抗がさらに低減されることになる。

【0030】上記半導体装置において、上記基板を Si 基板とし、上記第 1 の半導体層を Si 層とし、上記第 2 の半導体層を Si_{1-x}Ge_xCy 層 (1 > x, y ≥ 0) とし、上記第 3 の半導体層を Si 層とすることにより、ベースのバンドギャップがエミッタ、コレクタのバンドギャップよりも小さいヘテロバイポーラトランジスタが得られ、電流増幅特性などの優れたバイポーラトランジスタが得られる。

【0031】本発明の半導体装置の製造方法は、バイポーラトランジスタのコレクタとなる第 1 の半導体層を有する基板を準備する工程 (a) と、上記第 1 の半導体層の上に、バイポーラトランジスタのベースとなる第 2 の半導体層を形成する工程 (b) と、上記第 2 の半導体層の上に、バイポーラトランジスタのエミッタとなる第 3 の半導体層を形成する工程 (c) と、上記第 3 の半導体層の上に、バイポーラトランジスタのエミッタ・ベース接合部の横方向の寸法に相当する幅を有する接合幅規定用絶縁層を形成する工程 (d) と、上記接合幅規定用絶縁層の両側面上に、上記接合幅規定用絶縁層とは選択エッチングが可能な絶縁体サイドウォールを形成する工程 (e) と、上記第 3 の半導体層の上に、バイポーラトランジスタの外部ベースの一部となる第 1 の導体層を形成する工程 (f) と、上記第 1 の導体層の上に、上記接合幅規定用絶縁層とは選択エッチングが可能な電極間絶縁層を形成する工程 (g) と、上記電極間絶縁層の一部と上記接合幅規定用絶縁層とを除去することにより、上記サイドウォールによって囲まれる開口部を形成する工程 (h) と、上記開口部内に導体材料を埋め込んで、バイポーラトランジスタのエミッタ電極となる第 2 の導体層を形成する工程 (i) とを備えている。

【0032】この方法により、工程 (g) においてサイドウォールの除去された後に、工程 (i) においてエミッタ電極となる第 2 の導体層が形成され、このエミッタ導体層の横方向の寸法によってエミッタ・ベース接合部の横方向の寸法が規定される。従って、エミッタ・ベース接合部の横方向の寸法と外部ベース間の距離とがセルフアライメントで決定されるので、上述の効果を有するバイポーラトランジスタとして機能する半導体装置が容易に形成されることになる。

【0033】上記半導体装置の製造方法において、上記工程（f）では、選択エピタキシャル成長により（111）ファセットを側面に有し不純物がドーパされたシリコンからなる第1の導体層を形成することにより、第1の導体層とサイドウォールとの間に隙間ができ、その隙間に電極間絶縁層が埋め込まれるので、第1の導体層と第2の導体層とが厚い絶縁層を挟むことになり、寄生容量が小さく動作速度の大きいトランジスタが形成される。

【0034】上記半導体装置の製造方法において、上記工程（d）では、上記接合幅規定用絶縁層の上に、接合幅規定用絶縁層とは選択エッチングが可能な容量低減用絶縁層を形成し、上記工程（e）では、上記接合幅規定用絶縁層と上記容量低減用絶縁層との各側面上に上記絶縁体サイドウォールを形成し、上記工程（h）では、上記容量低減用絶縁層のうち端部を除く部分を除去した後、上記接合幅規定用絶縁層を除去することにより、第1の導体層と第2の導体層とがより厚い絶縁層を挟むことになり、さらに動作速度の大きいトランジスタが形成される。

【0035】上記半導体装置の製造方法において、上記接合幅規定用絶縁層を除去する工程をウェットエッチングにより行なうことにより、ウェットエッチングが等方性のエッチングであることを利用して、接合幅規定用絶縁層を確実に除去することが可能になる。

【0036】上記半導体装置の製造方法において、基板上に半導体装置形成領域を取り囲む素子分離層を形成する工程と、少なくとも上記工程（d）の後で上記工程（f）の前に、上記第1の半導体層内にイオン注入法により不純物を導入して、素子間分離の端に接合リーク防止層を形成する工程とをさらに備えてることにより、よりベース抵抗の小さいバイポーラトランジスタが形成される。

【0037】上記半導体装置の製造方法において、上記工程（a）では、上記基板として、Si層からなる第1の半導体層を有するSi基板を準備し、上記工程（b）では、 $Si_{1-x}y$ G_{ex} C_y （ $1 > x$, $y \geq 0$ ）からなる上記第2の半導体層を形成し、上記工程（c）では、Si層からなる第3の半導体層を形成することにより、ヘテロバイポーラトランジスタとして機能する半導体装置が形成される。

【0038】上記半導体装置の製造方法において、上記工程（d）では、シリコン酸化膜から上記接合幅規定用絶縁層を形成し、上記工程（e）では、シリコン窒化膜から上記絶縁体サイドウォールを形成し、上記工程（g）では、シリコン窒化膜から上記電極間絶縁層を形成し、上記工程（h）では、異方性ドライエッチングにより上記電極間絶縁層の一部を除去した後、フッ酸によるウェットエッチングにより上記接合幅規定用絶縁層を除去することにより、Si系ヘテロバイポーラトランジ

スタに適合したプロセスとなる。

【0039】

【発明の実施の形態】（第1の実施形態）図1は、本発明の第1の実施形態に係るヘテロバイポーラトランジスタ（HBT）の構造を示す断面図である。

【0040】同図に示すように、主面が（001）面であるSi基板10内には、エピタキシャル成長法あるいはイオン注入法によって形成されたリンなどのN型不純物を含む深さ1 μm のレトログレードウェル11が形成されている。Si基板10の表面付近の領域にはバイポーラトランジスタのコレクタ層12が形成されており、このコレクタ層12におけるN型不純物の濃度は $1 \times 10^{17} / cm^3$ 程度に調整されている。素子分離領域は、第1の絶縁体15（ノンドープポリシリコン）及び第2の絶縁体16（酸化シリコン）を埋め込んでなるディープトレンチ分離層14と、第2の絶縁体16を埋め込んでなるシャロートレンチ分離層13とにより構成されている。シャロートレンチ分離層13の深さは約0.35 μm であり、ディープトレンチ分離層14の深さは約2 μm である。また、Si基板10のディープトレンチ分離層14の下方に位置する領域には、チャネルストップ用の不純物がドーパされてなるP⁺分離層27が設けられている。

【0041】また、Si基板10内にはコレクタ層12の電極を取るためのN⁺コレクタ引き出し層17が設けられている。このN⁺コレクタ引き出し層17とコレクタ層12とは、Si基板10内の表面付近の領域においてはシャロートレンチ分離層13により互いに分離され、Si基板10の奥方の領域においてはレトログレードウェル11により互いに接続されている。

【0042】コレクタ層12の上には、厚さが約30 nmの第1の絶縁層18が形成されており、第1の絶縁層18には、コレクタ層12の上方を開放するためのコレクタ開口部20が設けられている。そして、コレクタ層12の上と第1の絶縁層18の上とにわたって、P型にドーパされた厚さ約60 nmの Si_{1-x} G_{ex} 層と、N型にドーパされた厚さ10 nmのSi層とが連続して積層されており、この両者により Si_{1-x} G_{ex} / Si層21が構成されている。 Si_{1-x} G_{ex} / Si層21のうち、Si基板10の表面から成長した部分は単結晶構造を有しているが、第1の絶縁層18の表面から成長した部分は多結晶構造を有している。

【0043】そして、 Si_{1-x} G_{ex} / Si層21の中央部の上には、高濃度のN型不純物（たとえばリン（P））がドーパされたポリシリコンからなるポリシリコンエミッタ層30が設けられている。そして、ポリシリコンエミッタ層30の側面を取り囲むように、シリコン窒化膜からなる第1のサイドウォール24が設けられている。さらに、第1のサイドウォール21を取り囲むように、高濃度のP型不純物（たとえばボロン（B））

がドーブされた再成長 P⁺ Si 層 25 が設けられている。第 1 のサイドウォール 24 の上端部とポリシリコンエミッタ層 30 との間には、窒化シリコンからなる第 3 の絶縁層 42 が介在し、第 1 のサイドウォール 24 と再成長 P⁺ Si 層 25 とポリシリコンエミッタ層 30 の間には、窒化シリコンからなる第 4 の絶縁層 26 が介在している。

【0044】ここで、再成長 P⁺ Si 層 25 は、Si_{1-x}Ge_x/Si 層 21 のうち単結晶構造を有する部分の表面から成長した部分は単結晶構造を有しているが、Si_{1-x}Ge_x/Si 層 21 のうち多結晶構造を有する部分の表面から成長した部分は多結晶構造を有している。そして、再成長 P⁺ Si 層 25 のうちの単結晶構造を有する部分において、Si_{1-x}Ge_x/Si 層 21 及び第 1 のサイドウォール 24 に接する下端部から延びる側面は、(111) ファセット 33 と (311) ファセット 34 とを有している。すなわち、Si 単結晶がエピタキシャル成長する際に、優先的に成長する結晶面が当初 (111) 面であり次に (311) 面に変化することから、再成長 P⁺ Si 層 25 の側面には、仰角が 55° の (111) ファセット 33 と (311) ファセット 34 とが順次形成されることになる。

【0045】そして、ベース開口部 28 の下方に位置する Si エミッタ層 23 にはポリシリコンエミッタ層 30 からの拡散によって高濃度の N 型不純物がドーブされており、この Si エミッタ層 23 が NPN ヘテロバイポーラトランジスタのエミッタとして機能する。一方、Si_{1-x}Ge_x/Si 層 21 中の Si_{1-x}Ge_x 層のうち、第 1 のサイドウォール 24 の直下方に位置する部分よりも内方の部分が、NPN ヘテロバイポーラトランジスタの内部ベース 29 (真性ベースともいう) である。また、Si_{1-x}Ge_x/Si 層 21 のうちの第 1 のサイドウォール 24 よりも外方に位置する部分と、再成長 P⁺ Si 層 25 とが、NPN ヘテロバイポーラトランジスタの外部ベース 19 である。また、接合リーク防止層 22 も外部ベースとして機能する。

【0046】本実施形態に係る NPN ヘテロバイポーラトランジスタ (HBT) の第 1 の特徴は、第 1 のサイドウォール 24 により、ベース開口部幅 W1 と外部ベース間距離 W2 とが共に規定されている点である。言い換えると、内部ベース 29 と外部ベース 19 とがセルフアラインに形成され、エミッタ・ベース接合部と外部ベース・内部ベース境界部との間の距離 (W2-W1)/2 が第 1 のサイドウォール 24 の厚み (下端部における横方向の寸法) に一致している。この第 1 のサイドウォール 24 の厚みは 10-20 nm 程度に設定することが十分可能であるので、エミッタ・ベース接合部と外部ベース・内部ベース境界部との間の距離 (W2-W1)/2 に 0.1 μm のマージンを見込む必要があった従来のヘテロバイポーラトランジスタの構造に比べ、大幅なベース

抵抗の低減と素子寸法の縮小を図ることができる。なお、本実施形態においては、接合リーク防止層 22 が設けられているので、コレクタ開口部 20 がシャロートレンチ分離層 13 上の一部を含んで開口されていても、ストレスに起因する接合リークの影響を受けることはない。

【0047】また、本実施形態の HBT の第 2 の特徴は、外部ベース 19 の中心的部分を占める再成長 P⁺ Si 層 25 の内側の側面が第 1 のサイドウォール 24 に沿って延びるのではなく、第 1 のサイドウォール 24 から離れて (111) ファセット 33 及び (311) ファセット 34 を形成しながら延びている点である。再成長 P⁺ Si 層 25 がこのような構造を有しているため、第 1 のサイドウォール 24 と再成長 P⁺ Si 層 25 との間に形成される隙間に第 4 の絶縁層 26 を介在させることが可能になる。その結果、ポリシリコンエミッタ層 30 と外部ベース 19 との間が、第 1 のサイドウォール 24 と第 4 の絶縁層 26 という 2 つの絶縁体によって隔てられるので、小型化されながらも、寄生抵抗が小さい、高速動作を行なう HBT を実現できるのである。

【0048】次に、本実施形態の HBT の製造工程について、図 2A-図 2K を参照しながら説明する。図 2A-図 2K は、本実施形態における HBT の製造工程を示す断面図である。

【0049】まず、図 2A に示す工程で、主面が (001) 面である Si 基板 10 上にエピタキシャル成長法により N 型シリコン単結晶を形成するか、あるいは Si 基板 10 内に N 形不純物イオンを高エネルギーで注入することにより、Si 基板 10 に深さ約 1 μm の N 型のレトログレードウェル 11 を形成する。レトログレードウェル 11 の表面付近の領域は HBT のコレクタ層 12 となるので、この領域における N 型の不純物濃度は 1×10¹⁷/cm³ 程度に調整されている。次に、Si 基板 10 にシャロートレンチ、ディープトレンチを形成した後、それらを第 1 の絶縁体 15、第 2 の絶縁体 16 によって埋め込むことにより、シャロートレンチ分離層 13、ディープトレンチ分離層 14 を形成する。

【0050】次に、Si 基板 10 の 2 つのシャロートレンチ 13 によって囲まれる領域に、N 型の不純物イオンを高ドーズ量で注入して、Si 基板 10 の表面からレトログレードウェル 11 に達する N⁺ コレクタ引き出し層 17 を形成する。

【0051】次に、図 2B に示す工程で、テトラエトキシシラン (TEOS) と酸素を用いた化学気相成長法 (CVD 法) により、処理温度 680℃ で基板の上に厚さ約 30 nm の第 1 の絶縁層 18 を形成し、第 1 の絶縁層 18 をフッ酸等のウェットエッチングによりパターニングして、コレクタ開口部 20 を形成する。

【0052】次に、コレクタ開口部 20 内に露出した Si 基板 10 の表面をアンモニア水と過酸化水素水とを混

合した薬液で処理することによって厚さ約1nmの保護酸化膜を形成した状態で、基板全体をUHV-CVD (Ultra High Vacuum Chemical Vapor Deposition) 装置に装着する。その後、UHV-CVD装置内において、水素雰囲気中で熱処理を行うことにより、基板上の保護酸化膜を除去する。次に、基板を550℃に加熱しつつ、ジシラン (Si_2H_6) 及びゲルマン (GeH_4) にドーピング用のジボラン (B_2H_6) を含むガスをUHV-CVD装置内に導入して、基板上に厚さ約60nmの $\text{Si}_{1-x}\text{Ge}_x$ 層を形成する。このとき、 $\text{Si}_{1-x}\text{Ge}_x$ 層のうちコレクタ開口部20内の部分、つまりSi基板10の表面から成長する部分は単結晶構造を有しているが、 $\text{Si}_{1-x}\text{Ge}_x$ 層のうち第1の絶縁層18の表面から成長する部分は多結晶構造を有している。 $\text{Si}_{1-x}\text{Ge}_x$ 層を形成した後、連続してガスをジシランに切り替えることにより、 $\text{Si}_{1-x}\text{Ge}_x$ 層の上に厚さ約10nmのSi層を積層し、 $\text{Si}_{1-x}\text{Ge}_x$ 層及びSi層の積層膜である $\text{Si}_{1-x}\text{Ge}_x/\text{Si}$ 層21を形成する。このとき、Si層のうち、 $\text{Si}_{1-x}\text{Ge}_x$ 層の単結晶構造を有する部分の上に形成される部分は単結晶構造を有し、 $\text{Si}_{1-x}\text{Ge}_x$ 層の多結晶構造を有する部分の上に形成される部分は多結晶構造を有している。なお、 $\text{Si}_{1-x}\text{Ge}_x$ 層内にはエピタキシャル成長時にボロン(B)が導入されているので、 $\text{Si}_{1-x}\text{Ge}_x$ 層はP型になっており、ボロンの濃度は約 $2 \times 10^{18}/\text{cm}^3$ である。Si層には不純物が導入されていない。また、本実施形態においては、キャリアのベース走行速度を高める目的で、 $\text{Si}_{1-x}\text{Ge}_x$ 層をエピタキシャル成長させる際には、ジシラン(Si_2H_6)とゲルマン(GeH_4)との混合比率を連続的に変化させて、 $\text{Si}_{1-x}\text{Ge}_x$ 層の下端部ではGe含有率が最大となり、上端部ではGe含有率が0になるような傾斜組成ベース層を形成している。

【0053】次に、図2Cに示す工程で、全面にエッチストップとなる膜厚100nmのシリコン酸化膜と膜厚10nmのシリコン窒化膜を連続的に堆積した後、フォトリソグラフィ及びドライエッチングを行なって、シリコン窒化膜及びシリコン酸化膜をパターンニングして、横寸法がベース開口幅W1になるように第2の絶縁層41及び第3の絶縁層42を形成する。

【0054】次に、図2Dに示す工程で、基板上に厚さ約100nmのシリコン窒化膜を堆積した後、シリコン窒化膜をエッチバックすることにより、上記第2の絶縁層41及び第3の絶縁層42の側面上に第1のサイドウォール24を形成する。

【0055】ここで、第1のサイドウォール24の幅($W2-W1$)/2(下端部における横方向の寸法)は10nm程度間で非常に小さくすることも可能である。

【0056】さらに、活性領域・分離接合部のストレスの影響を抑えるために、第2の絶縁層41及び第3の絶

縁層42の形成に用いたマスクを用い、そのままセルフアラインでボロン(B)などのP型の不純物のイオン注入を行い、表面付近の濃度が $3 \times 10^{17}/\text{cm}^3$ 程度のP⁺型の接合リーク防止層22を形成する。ただし、第1のサイドウォール24を形成する前に、接合リーク防止層22を形成するためのイオン注入を行なってもよい。

【0057】次に、 $\text{Si}_{1-x}\text{Ge}_x/\text{Si}$ 層21を成長させたときと同様に、保護酸化膜を形成した後UHV-CVD装置に導入し、水素雰囲気中で熱処理により保護酸化膜を除去した後、ジシラン(Si_2H_6)とドーピング用のジボラン(B_2H_6)を含むガスを導入し、 $\text{Si}_{1-x}\text{Ge}_x/\text{Si}$ 層21中のSi層を成長核としてエピタキシャル成長を行い、高濃度にP型にドーピングされた500nmの膜厚の再成長P⁺Si層25を形成する。再成長P⁺Si層25は、 $\text{Si}_{1-x}\text{Ge}_x/\text{Si}$ 層21のうちコレクタ層12の直上に位置する部分の上においては単結晶構造を有し、第1の絶縁層18の上方に位置する部分の上においては多結晶構造を有している。なお、単結晶再成長P⁺Si層25の不純物濃度を $1 \times 10^{20}/\text{cm}^3$ 以上の高濃度にするには、再成長P⁺Si層25内にさらに不純物を拡散させたり不純物のイオン注入などを行なうことができる。

【0058】このとき、再成長P⁺Si層25の内側の側面には、(111)ファセット33と、(311)ファセット34とが現れる。つまり、再成長P⁺Si層25は第1のサイドウォール24の側面に沿って成長するのではなく、再成長P⁺Si層25は、上方に向かうほど第1のサイドウォール24と離れていくように傾斜して成長する。再成長P⁺Si層25が基板表面と成す角度の大きな(111)ファセット33が現れる成長条件を用いれば、膜厚の変化をより急激にすることができるため、後述するように、ベース抵抗や寄生容量の低減効果をより増大させることができる。

【0059】さらに、図2Fに示す工程で、基板の全面上に窒化シリコンからなる厚さ約30nmの第4の絶縁層26を形成し、第4の絶縁層26の上にレジストマスクPrmを形成する。このレジストマスクPrmのうち第3の絶縁層42の直上に位置する部分には、第2の絶縁層41や第3の絶縁層42の横方向の寸法W1内に収まる寸法の開口部が形成されている。

【0060】次に、図2Gに示す工程で、レジストマスクPrmを用い、第2の絶縁層41をエッチストップとして、第4の絶縁層26及び第3の絶縁層42のドライエッチングを行なって、第3の絶縁層42にベース開口部28を形成する。このとき、第4の絶縁層26及び第3の絶縁層42は窒化シリコンにより構成され、第2の絶縁層41は酸化シリコンにより構成されているので、ドライエッチングの際には、第3の絶縁層42と第2の絶縁層41との間で大きなエッチング選択性が得られ

る。

【0061】次に、図2Hに示す工程で、レジストマスクPrmを除去した後、フッ酸によるウェットエッチングにより酸化シリコンからなる第2の絶縁層42を除去する。このとき、 $Si_{1-x}Ge_x/Si$ 層21の上部を構成するSi層と、窒化シリコンからなる第1のサイドウォール24とはフッ酸に対して小さなエッチングレートをもつため、有効なエッチストップとなる。なお、ウェットエッチングによると、 $Si_{1-x}Ge_x/Si$ 層21の表面に欠陥等のダメージを形成することなく、第2の絶縁層41の全体を除去することが可能である。このとき、第1のサイドウォール24はエッチストップとなると同時に、第4の絶縁層26とともにポリシリコンエミッタ・外部ベース間を絶縁する役割を果たす。

【0062】次に、図2Iに示す工程で、高濃度にN型にドーピングされたポリシリコンをベース開口部28に埋め込んだ後、ポリシリコン膜をパターニングすることにより、ポリシリコンエミッタ層30を形成する。その後、ポリシリコンエミッタ層30から高濃度の不純物をSiエミッタ層23に拡散させる。これにより、N型Si層からなるエミッタと、P型SiGe層からなるベースと、N型Si層からなるコレクタとを有するヘテロバイポーラトランジスタ(HBT)が形成される。

【0063】次に、図2Jに示す工程で、第4の絶縁層26、再成長P⁺Si層25、 $Si_{1-x}Ge_x/Si$ 層21及び第1の絶縁層18をパターニングした後、基板上に厚さ120nmのサイドウォール用CVD酸化膜を堆積する。そして、これをエッチバックして、ポリシリコンエミッタ層30と再成長P⁺Si層25及び $Si_{1-x}Ge_x/Si$ 層21の側面上に第2のサイドウォール30を形成する。このときのドライエッチングによって、ポリシリコンエミッタ層30、再成長P⁺Si層25、 $Si_{1-x}Ge_x/Si$ 層21及びN⁺コレクタ引き出し層17の表面を露出させる。

【0064】次に、図2Kに示す工程で、基板上に厚さ約40nmのTi膜をスパッタにより堆積した後、675℃、30secのRTAを行なって、Tiとシリコンとを反応させることによりTiシリサイド層を形成する。その後、未反応のTi膜を除去することにより、ポリシリコンエミッタ層122、再成長P⁺Si層25(外部ベース層19の一部)及びN⁺コレクタ引き出し層17の上にTiシリサイド層32を形成する。次に、基板上に層間絶縁膜35を堆積し、層間絶縁膜35に、ポリシリコンエミッタ層30、再成長P⁺Si層25及びN⁺コレクタ引き出し層17の上の各Tiシリサイド層34に達する接続孔を形成した後、接続孔内にWを埋め込んでWブランケット36とする。さらに、層間絶縁膜35の上に、金属膜を形成した後これをパターニングして、Wブランケット36に接続される金属配線37を形成する。

【0065】本実施形態のHBTの製造方法によると、図1に示すHBTの構造を容易に実現できることがわかる。

【0066】(第2の実施形態) 上記第1の実施形態においては、外部ベース19の中心となる部材を再成長P⁺Si層25により構成したが、本発明のHBTの構造はかかる実施形態に限定されるものではない。第2の実施形態においては、外部ベースの中心となる部材をポリシリコンにより構成したHBTについて説明する。

【0067】本実施形態においても、第1の実施形態における図2A-図2Dに示す工程と同じ工程を行なう。

【0068】その後、図2Aに示す工程の代わりに、図3Aに示すように、基板の全表面上に高濃度のP型不純物がドーピングされたP⁺ポリシリコン層43を堆積する。

【0069】次に、図3Bに示す工程で、基板の全面をCMP(ケミカルメカニカルポリッシュ)により、少なくとも第1のサイドウォール24が露出するまで研磨を行なって、基板の全体を平坦化する。その後、基板の全表面上に窒化シリコンからなる厚さ約30nmの第4の絶縁層26を堆積した後、第4の絶縁層26の上にレジストマスクPrmを形成する。このレジストマスクPrmのうち第3の絶縁層42の直上に位置する部分には、第2の絶縁層41や第3の絶縁層42の横方向の寸法W1内に収まる寸法の開口部が形成されている。

【0070】次に、図3Cに示す工程で、レジストマスクPrmを用い、第2の絶縁層41をエッチストップとして、第4の絶縁層26及び第3の絶縁層42のドライエッチングを行なって、第3の絶縁層42にベース開口部28を形成する。このとき、第4の絶縁層26及び第3の絶縁層26は窒化シリコンにより構成され、第2の絶縁層41は酸化シリコンにより構成されているので、ドライエッチングの際には、第3の絶縁層42と第2の絶縁層41との間で大きなエッチング選択性が得られる。さらに、レジストマスクPrmを除去した後、フッ酸によるウェットエッチングにより酸化シリコンからなる第2の絶縁層42を除去する。このとき、 $Si_{1-x}Ge_x/Si$ 層21の上部を構成するSi層と、窒化シリコンからなる第1のサイドウォール24とはフッ酸に対して小さなエッチングレートを有するため、有効なエッチストップとなる。このとき、第1のサイドウォール24はエッチストップとなると同時に、第4の絶縁層26とともにエミッタ・外部ベース間を絶縁する役割を果たす。

【0071】その後は、第1の実施形態における図2I-図2Kに示す工程と同じ工程を行なうことにより、図3Dに示す構造が得られる。

【0072】本実施形態のHBT及びその製造方法によると、外部ベース19(P⁺ポリシリコン層43)とポリシリコンエミッタ層30との間隔が第1の実施形態の構造よりは狭くなるものの、上記第1の実施形態とほぼ

同様の効果を発揮しうる HBT を得ることができる。

【0073】なお、上記第 1、第 2 の実施形態において、第 3 の絶縁層 42 を形成する代わりに、第 2 の絶縁層 41 の厚みを第 3 の絶縁層の厚さ分だけ大きくしても、つまりシリコン酸化膜だけを形成しても、上記各実施形態と同じ効果を発揮することができる。

【0074】また、第 1～第 4 の絶縁層の材質は、上記各実施形態において限定されるものではない。特に、第 2 の絶縁層 41 の材質は、第 1 のサイドウォール 24 及び第 4 の絶縁層 26 とのエッチング選択比が確保できるものであればよい。

【0075】また、上記各実施形態においては、内部ベースを SiGe 層により構成したが、本発明はかかる実施形態に限定されるものではなく、内部ベースを SiGeC 層又は SiC 層により構成してもよい。つまり、内部ベースの組成は、一般的に $Si_{1-x-y}Ge_xC_y$ 層 ($1 > x, y \geq 0$) で表されるものであればよい。また、内部ベースのバンドギャップがエミッタ、コレクタとのバンドギャップよりも小さければ、ヘテロバイポーラトランジスタとしての機能が得られるので、エミッタ

【0076】

【発明の効果】本発明の半導体装置及びその製造方法によると、エミッタ・ベース接合部と外部ベースとの間隔をサイドウォールを挟んでセルフアラインメントにより規定できる構造及び製造方法としたので、バイポーラトランジスタのベース抵抗と寄生容量との低減を図ることができる。

【図面の簡単な説明】

【図 1】第 1 の実施形態における HBT の構造を示す断面図である。

【図 2A】第 1 の実施形態における HBT の製造工程のうちシャロートレンチ分離層、ディープトレンチ分離層、コレクタ層等を形成するまでの工程を示す断面図である。

【図 2B】第 1 の実施形態における HBT の製造工程のうち Si 基板の上に $Si_{1-x}Ge_x/Si$ 層を形成する工程を示す断面図である。

【図 2C】第 1 の実施形態における HBT の製造工程のうち第 2 の絶縁層及び第 3 の絶縁層を形成する工程を示す断面図である。

【図 2D】第 1 の実施形態における HBT の製造工程のうち、第 2 の絶縁層、第 3 の絶縁層の側面上に第 1 のサイドウォールを形成する工程などを示す断面図である。

【図 2E】第 1 の実施形態における HBT の製造工程のうち再成長 P^+Si 層を形成する工程を示す断面図である。

【図 2F】第 1 の実施形態における HBT の製造工程のうち第 4 の絶縁層などを形成する工程を示す断面図である。

【図 2G】第 1 の実施形態における HBT の製造工程のうち第 3 の絶縁層にベース開口部を形成する工程を示す断面図である。

【図 2H】第 1 の実施形態における HBT の製造工程のうち第 2 の絶縁層を除去してベース開口部を形成する工程を示す断面図である。

【図 2I】第 1 の実施形態における HBT の製造工程のうちベース開口部にポリシリコンエミッタ層を埋め込む工程を示す断面図である。

【図 2J】第 1 の実施形態における HBT の製造工程のうち外部ベースとなる部材をパターニングする工程を示す断面図である。

【図 2K】第 1 の実施形態における HBT の製造工程のうち、層間絶縁膜、配線などを形成する工程を示す断面図である。

【図 3A】第 2 の実施形態における HBT の製造工程のうちポリシリコン膜を堆積する工程を示す断面図である。

【図 3B】第 2 の実施形態における HBT の製造工程のうち第 4 の絶縁層などを形成する工程を示す断面図である。

【図 3C】第 1 の実施形態における HBT の製造工程のうちベース開口部を形成する工程を示す断面図である。

【図 3D】第 2 の実施形態における HBT の製造工程のうち、層間絶縁膜、配線などを形成する工程を示す断面図である。

【図 4】従来技術における HBT の構造を示す断面図である。

【図 5A】従来技術における HBT の製造工程のうちシャロートレンチ分離層、ディープトレンチ分離層、コレクタ層等を形成するまでの工程を示す断面図である。

【図 5B】従来技術における HBT の製造工程のうち Si 基板の上に $Si_{1-x}Ge_x/Si$ 層を形成する工程を示す断面図である。

【図 5C】従来技術における HBT の製造工程のうち第 2 の絶縁層を形成する工程を示す断面図である。

【図 5D】従来技術における HBT の製造工程のうち、第 3 の絶縁層及び P^+ ポリシリコン層にベース開口部を形成する工程を示す断面図である。

【図 5E】従来技術における HBT の製造工程のうちベース開口部にサイドウォールなどを形成する工程を示す断面図である。

【図 5F】従来技術における HBT の製造工程のうちベース開口部にポリシリコンエミッタを埋め込む工程を示す断面図である。

【図 5G】従来技術における HBT の製造工程のうち各電極の側面にサイドウォールを形成する工程を示す断面図である。

【図 5H】従来技術における HBT の製造工程のうち、層間絶縁膜、配線などを形成する工程を示す断面図である。

21

22

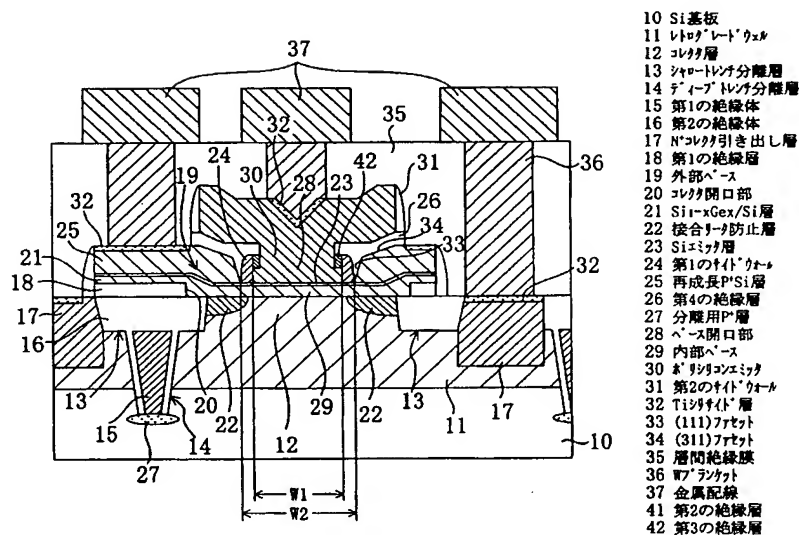
る。

【符号の説明】

- 10 Si基板
- 11 レトログレドウェル
- 12 コレクタ層
- 13 シャロートレンチ分離層
- 14 ディープトレンチ分離層
- 15 第1の絶縁体
- 16 第2の絶縁体
- 17 N⁺コレクタ引き出し層
- 18 第1の絶縁層
- 19 外部ベース
- 20 コレクタ開口部
- 21 Si_{1-x}Ge_x/Si層
- 22 接合リーク防止層
- 23 Siエミッタ層

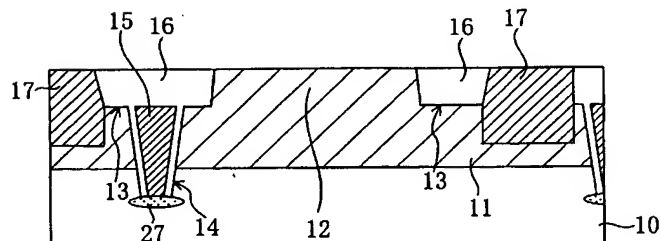
- 24 第1のサイドウォール
- 25 再成長P⁺Si層
- 26 第4の絶縁層
- 27 分離用P⁺層
- 28 ベース開口部
- 29 内部ベース
- 30 ポリシリコンエミッタ
- 31 第2のサイドウォール
- 32 Tiシリサイド
- 33 (111)ファセット
- 34 (311)ファセット
- 35 層間絶縁膜
- 36 Wブランケット
- 37 金属配線
- 41 第2の絶縁層
- 42 第3の絶縁層

【図1】

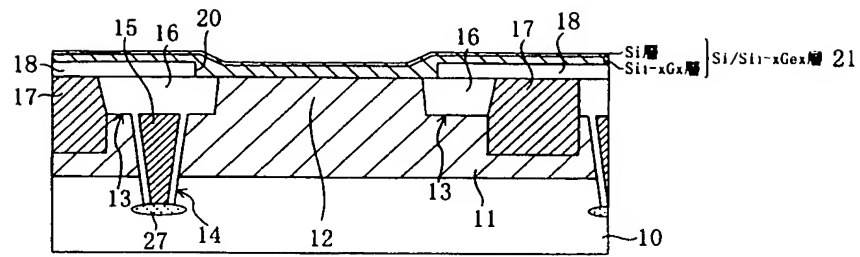


- 10 Si基板
- 11 レトログレドウェル
- 12 コレクタ層
- 13 シャロートレンチ分離層
- 14 ディープトレンチ分離層
- 15 第1の絶縁体
- 16 第2の絶縁体
- 17 N⁺コレクタ引き出し層
- 18 第1の絶縁層
- 19 外部ベース
- 20 コレクタ開口部
- 21 Si_{1-x}Ge_x/Si層
- 22 接合リーク防止層
- 23 Siエミッタ層
- 24 第1のサイドウォール
- 25 再成長P⁺Si層
- 26 第4の絶縁層
- 27 分離用P⁺層
- 28 ベース開口部
- 29 内部ベース
- 30 ポリシリコンエミッタ
- 31 第2のサイドウォール
- 32 Tiシリサイド
- 33 (111)ファセット
- 34 (311)ファセット
- 35 層間絶縁膜
- 36 Wブランケット
- 37 金属配線
- 41 第2の絶縁層
- 42 第3の絶縁層

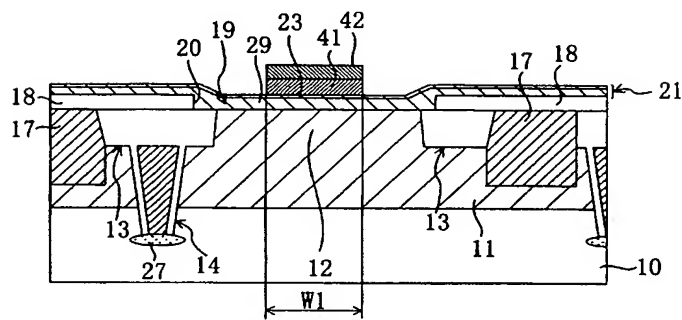
【図2A】



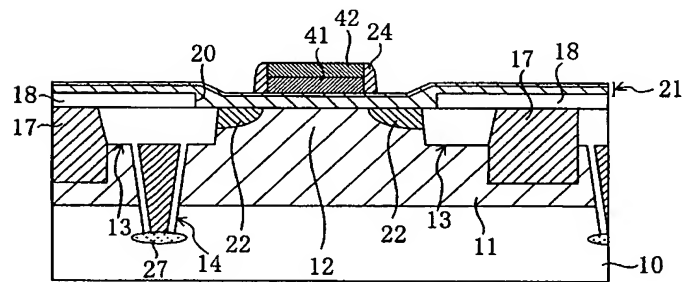
【図 2 B】



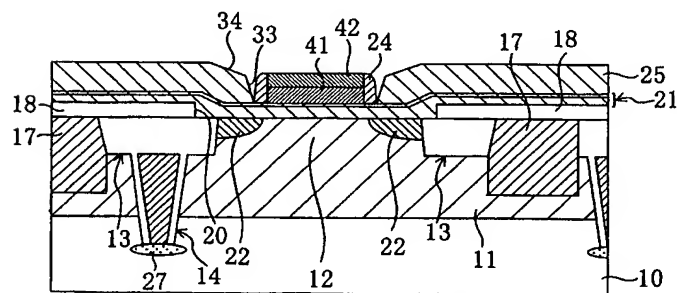
【図 2 C】



【図 2 D】

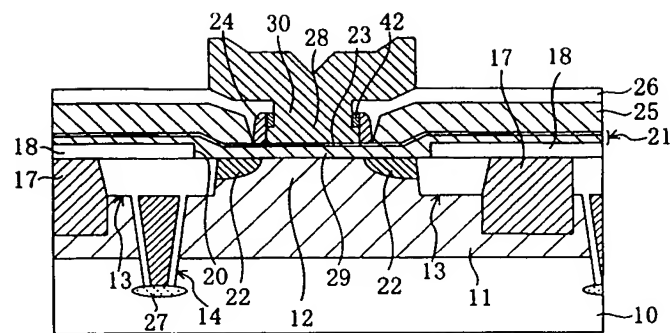


【図 2 E】

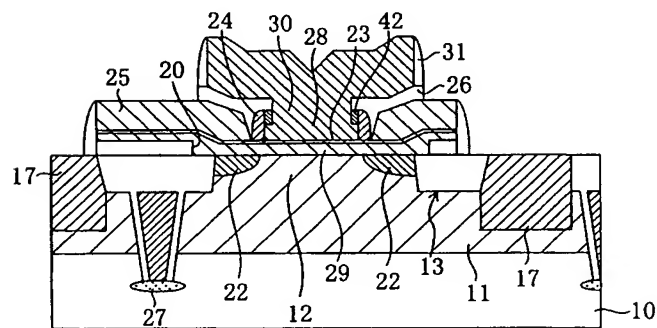


[illegible]

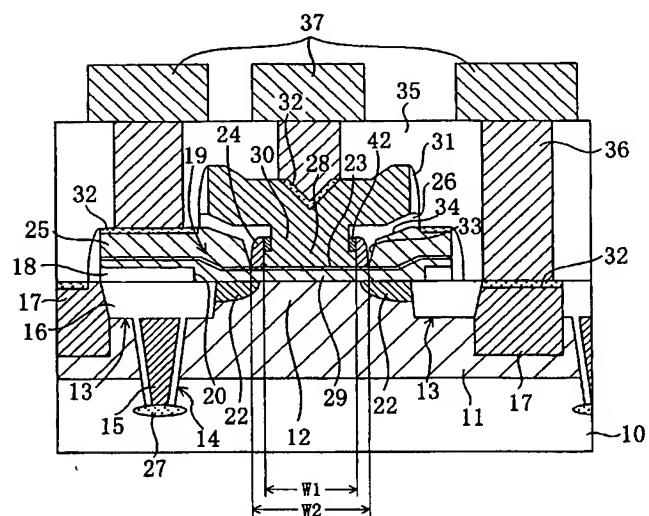
【図 2 I】



【図 2 J】



【図 2 K】



[illegible]

Fig. 1 is a cross-sectional view of a semiconductor device. The device is built on a substrate 100. A base layer 101 is formed on the substrate. A patterned layer 102 is formed on the base layer. A top layer 103 is formed on the patterned layer. A central structure 104 is formed in a well 105, surrounded by a ring 106. Various layers and regions are labeled with numbers 101 through 122.

[illegible]